

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

10246104

Basic Patent (No,Kind,Date): JP 3265143 A2 911126 <No. of Patents: 001>

MANUFACTURE OF THIN FILM TRANSISTOR (English)

Patent Assignee: MATSUSHITA ELECTRONICS CORP

Author (Inventor): UEMOTO YASUHIRO; FUJII EIJI; SENDA KOJI

IPC: *H01L-021/336; H01L-029/784

CA Abstract No: 116(12)119106T

Derwent WPI Acc No: C 92-013831

JAPIO Reference No: 160074E000010

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 3265143	A2	911126	JP 9064713	A	900315 (BASIC)

Priority Data (No,Kind,Date):

JP 9064713 A 900315

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

03602243 **Image available**

MANUFACTURE OF THIN FILM TRANSISTOR

PUB. NO.: 03-265143 [JP 3265143 A]

PUBLISHED: November 26, 1991 (19911126)

INVENTOR(s): UEMOTO YASUHIRO

FUJII EIJI

SENDA KOJI

APPLICANT(s): MATSUSHITA ELECTRON CORP [000584] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 02-064713 [JP 9064713]

FILED: March 15, 1990 (19900315)

INTL CLASS: [5] H01L-021/336; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 1170, Vol. 16, No. 74, Pg. 10,
February 24, 1992 (19920224)

ABSTRACT

PURPOSE: To obtain a gate electrode having a small surface roughness and a gate insulating film and to obtain a bottom gate type thin film transistor having a superior dielectric breakdown strength by a method wherein an impurity doping to a polycrystalline silicon film for gate electrode use is performed by an ion implantation method.

CONSTITUTION: A wet thermal oxidation treatment is performed on an Si substrate 11, a thick SiO₂ film 12 is generated on the substrate 11, a thin polycrystalline Si film 13 is generated on this film 12 by a low pressure CVD method, phosphorus ions are implanted in here to reduce the resistance of the film 13 and an annealing is performed in an N₂ atmosphere for the purpose of activation. Then, a polycrystalline Si film 14 obtained in such a way is patterned into an insular form to form a gate electrode and a thin gate oxide film 15 is applied on this gate electrode. After that, a polycrystalline Si film 16 is deposited on the whole surface including this film 15, is patterned into an insular form, boron ions are implanted using a resist mask 17 and thereafter, an annealing treatment is performed and P⁺ source and drain regions 18 and 19 are formed. Then, the mask 17 is removed, the whole surface is covered with an interlayer insulating film 20, openings are bored and Al wirings 21 are respectively mounted to the regions 18 and 19.

訂正有り

⑨日本国特許庁(JP)

⑩特許出願公開

⑪公開特許公報(A)

平3-265143

⑫Int.Cl.⁵

H 01 L 21/336
29/784

識別記号

庁内整理番号

⑬公開 平成3年(1991)11月26日

9056-4M H 01 L 29/78 311 Y
審査請求 未請求 請求項の数 1 (全5頁)

⑭発明の名称 薄膜トランジスタの製造方法

⑮特 願 平2-64713

⑯出 願 平2(1990)3月15日

⑰発 明 者 上 本 康 裕	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑱発 明 者 藤 井 英 治	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑲発 明 者 千 田 耕 司	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑳出 願 人 松下電子工業株式会社	大阪府門真市大字門真1006番地	
㉑代 理 人 弁理士 栗野 重孝	外1名	

明細書

1. 発明の名称

薄膜トランジスタの製造方法

2. 特許請求の範囲

ポリシリコンゲート電極上部にゲート絶縁膜を介して位置する半導体薄膜に、ソース領域、チャネル領域、ドレイン領域を有し、前記ポリシリコンゲート電極への不純物添加をイオン注入により行なうことを特徴とする薄膜トランジスタの製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は、特にゲートが能動領域の下部に位置する薄膜トランジスタの製造方法に関するものである。

從来の技術

近年、薄膜トランジスタは、液晶ディスプレイのアクティブマトリクス素子や、SRAMセルの負荷素子への応用を目指して、盛んに研究が進められている。特にゲートが能動領域の下部に位置

する、いわゆる、ボトムゲート型の薄膜トランジスタは、パルクnチャネルMOSトランジスタ上部に、ボトムゲート型のPチャネル薄膜トランジスタを被覆形成すれば、セル面積を増大させることなく、ラッチアップフリーで、かつ低消費電力のCMOS-SRAMの実現に利用できる。このため、ボトムゲート型の薄膜トランジスタの特性向上のための様々なアプローチがなされている。

以下、図面を参照しながら、従来のボトムゲート型の薄膜トランジスタの製造方法について説明する。

第5図(a)～(d)は従来のボトムゲート型薄膜トランジスタの製造工程順断面図であり、第6図は従来の製造方法によって形成されたボトムゲート型薄膜トランジスタのゲート電極およびゲート酸化膜および能動領域ポリシリコン薄膜を含む局部の断面図である。

第5図および第6図において、51はシリコン基板、52は厚いシリコン酸化膜、53はポリシリコン膜、54はリン添加したポリシリコン膜、

55はゲート酸化膜、56はポリシリコン膜、57はレジストマスク、58はソース領域、59はドレイン領域、60は層間絶縁膜、61はAl配線である。

従来のボトムゲート型の薄膜トランジスタの製造方法では、ゲート電極として用いるポリシリコン膜53の低抵抗化のための不純物添加を、例えば、ホフフィン(PH₃)を用いた1000°Cの酸素雰囲気中のリンの熱拡散により行っていた。

発明が解決しようとする課題

しかしながら、上記のような製造方法では、ポリシリコン膜53へのリンの熱拡散工程中において、リンの添加濃度の増大とともにシリコンの自己拡散係数の増大により、ポリシリコンの急激な粒成長が生じるため、リン添加されたポリシリコン膜54の表面は、第6図に示すように、大きな四凸をもつたものとなる。ボトムゲート型の薄型トランジスタのゲート酸化膜は、このリン添加されたポリシリコンゲート電極の表面を熱酸化して形成するため、第6図に示すように、ゲート膜

化膜55は、リン添加されたポリシリコン54の表面形状に大きく影響を受け、表面凹凸の厳しいものとなる。その結果、製造される薄膜トランジスタにおいては、印加されるゲート電界の局部的な集中が起こりやすくなり、ゲート酸化膜の絶縁耐圧が低いという欠点を有していた。

本発明は上記欠点に鑑み、凹凸の小さな表面を有する不純物添加されたポリシリコン膜を形成することで、絶縁耐圧の大きなゲート絶縁膜を有する薄膜トランジスタの製造方法を提供するものである。

課題を解決するための手段

上記問題を解決するために、本発明の薄膜トランジスタの製造方法では、ゲート電極に用いるポリシリコン膜への不純物添加をイオン注入法で行なう。

作用

上記製造方法によれば、イオン注入した不純物種の活性化は900°C以下の低温で十分なため、従来のリンの熱拡散工程中に生じるようなシリコ

ンの自己拡散係数の増大、ポリシリコンの急激な粒成長が抑制され、得られる不純物添加されたポリシリコン膜の表面は非常に凹凸の小さなものとなる。この表面凹凸の小さな、不純物添加されたポリシリコン膜を熱酸化して形成するゲート酸化膜の表面凹凸も非常に小さなものとなり、凹凸に起因したゲート電界の局所的な集中が抑制される。その結果、ゲート酸化膜耐圧にすぐれたボトムゲート型薄膜トランジスタを製造できる。

実施例

以下、本発明の一実施例について、図面を参照しながら説明する。

第1図(a)～(f)は、本発明の一実施例におけるボトムゲート型の薄膜トランジスタの製造工程順断面図であり、第2図はこの実施例で製造されたボトムゲート型薄膜トランジスタのゲート電極およびゲート酸化膜および能動領域ポリシリコン膜を含む断面図である。第3図は本発明の一実施例におけるイオン注入によって不純物添加したポリシリコン膜および従来の熱拡散によって不純物添加

したポリシリコン膜の表面凹凸の大きさと添加した不純物濃度との関係を示したものである。第4図は、本発明の一実施例におけるイオン注入によって不純物添加したポリシリコン膜上に形成したゲート酸化膜および従来の熱拡散によって不純物添加したポリシリコン膜上に形成したゲート酸化膜の絶縁破壊電界強度を示したものである。

第1図において、11はシリコン基板、12は厚いシリコン酸化膜、13はポリシリコン膜、14はリンがイオン注入されたポリシリコン膜、15はゲート酸化膜、16はポリシリコン膜、17はレジストマスク、18はリース領域、19はドレイン領域、20は層間絶縁膜、21はAl配線である。

本発明の一実施例のボトムゲート型Pチャネル薄膜トランジスタの製造方法について第1図(a)～(f)に従って各々の工程順に説明する。

(a) 第1図(a)のようにシリコン基板11を例えば1000°C4～6時間程度の湿式熱酸化により、膜厚0.8～1.0μm程度の厚シリコン酸

化膜12を形成する。続いて例えば減圧CVDにより厚さ1500~1700Åのポリシリコン膜13を堆積する。

- (b) 第1図(d)のように、ポリシリコン膜13を低抵抗化するため、例えばリンのイオン注入を加速電圧50~100KeVで $1 \sim 3 \times 10^{15} \text{ cm}^{-2}$ 程度行なう。注入したリンの活性化は重蒸気圧中900℃で30分程度のアニールによって行なう。
- (c) 第1図(e)のように、リン添加したポリシリコン膜14を島状にパターニングしゲート電極を形成する。続いて、リン添加したポリシリコン膜14の表面を900℃の乾式もしくは湿式酸化することで厚さ400~800Å程度のゲート酸化膜15を形成する。
- (d) 第1図(f)のように、例えは減圧CVDにより厚さ400~1000Åのポリシリコン膜16を形成した後、島状にパターニングする。
- (e) 第1図(g)のように、レジストマスク17を用いて、例えはボロンのイオン注入を加速電圧30

電極14、ゲート酸化膜15を有している。また、第3図に示すように、ゲート電極の低抵抗化を図るため不純物濃度を増加させた場合においても、イオン注入で不純物添加すれば表面凹凸はほとんど増加しない。さらに、第4図に示すように、本発明の一実施例による薄膜トランジスタのゲート酸化膜の絶縁破壊電界強度は、約3MV/cmと、従来例に比べ約3倍増加しており、非常に良好な特性が得られている。

なお、この実施例では、Pチャネル薄膜トランジスタの場合を例にして説明したが、Nチャネル薄膜トランジスタの場合においても同様の効果が得られることは言うまでもない。また、ゲート酸化膜を熱酸化法のみでなく、CVD法で形成した場合にも同様の効果が得られるることは言うまでもない。

発明の効果

以上のように、本発明の製造法によれば、ゲート電極用ポリシリコン膜への不純物添加をイオン注入によって行えば、表面の凹凸の小さなゲート

KeVで $1 \sim 3 \times 10^{15} \text{ cm}^{-2}$ 程度行なう。重蒸気圧中900℃で30分程度アニールしてP+型のリース領域18、ドレイン領域19を形成する。

- (f) 第1図(h)のように、レジストマスク17除去後、層間絶縁膜20として例えはNSGを厚さ6000~8000Å堆積し、ソース領域18、ドレイン領域19、ゲート電極14とのコンタクトホールを形成した後、例えはスパッタによりAl膜を厚さ $1.0 \sim 1.5 \mu\text{m}$ 程度形成し、パターニングしてAl配線21を形成する。最後に水素蒸気圧中で400~450℃、30~60分程度のシンターを行ない、Al配線21とソース領域18、ドレイン領域19、ゲート電極14とのオーミック性接触を得るとともに、ポリシリコン膜16中のダングリングボンドを終端させ、薄膜トランジスタが完成する。

以上のようにして、製造された薄膜トランジスタは、第2図に示すように、ほとんど平坦か、ないしは非常に凹凸の小さな表面を有する。ゲート

電極およびゲート酸化膜が得られ、ゲート絶縁耐圧性にすぐれたボトムゲート型薄膜トランジスタが得られ、その実用的効果は大なるものがある。

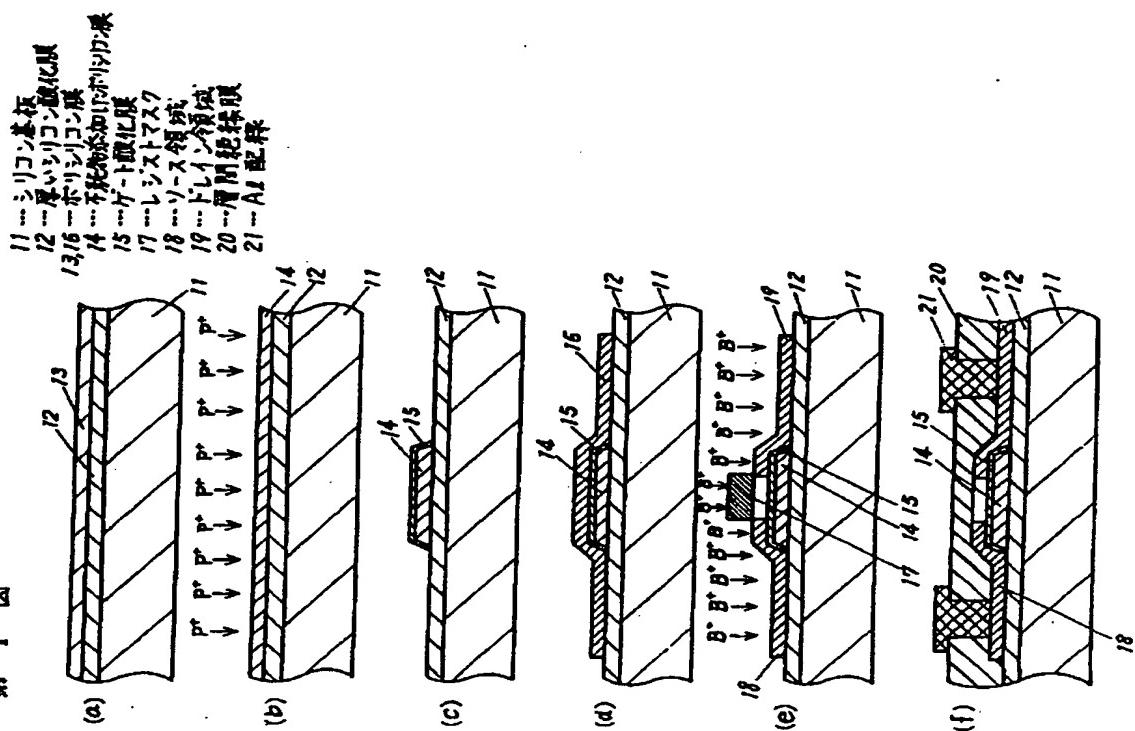
4. 図面の簡単な説明

第1図は本発明の一実施例薄膜トランジスタの製造工程断面図、第2図は同実施例で形成された素子の局部断面形状図、第3図はゲート酸化膜表面の凹凸の大きさの不純物濃度依存性を示す特性図、第4図はゲート酸化膜の絶縁破壊電界強度を示す特性図、第5図および第6図はそれぞれ従来の薄膜トランジスタの製造工程断面図およびそれにより形成された素子の局部断面図である。

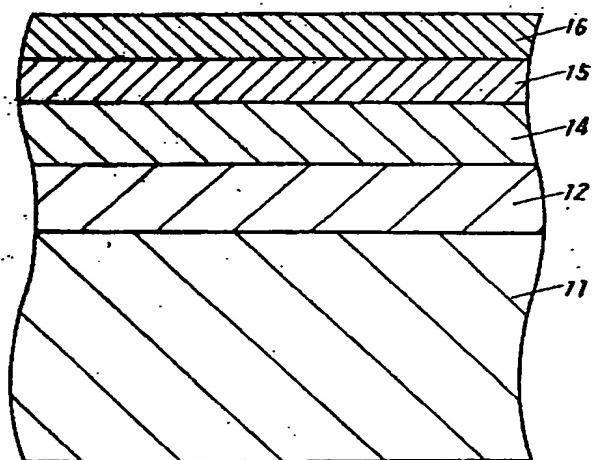
11……シリコン基板、12……厚いシリコン酸化膜、13……ポリシリコン膜、14……不純物添加されたポリシリコン膜、15……ゲート酸化膜、16……ポリシリコン膜、17……レジストマスク、18……ソース領域、19……ドレイン領域、20……層間絶縁膜、21……Al配線。

代理人の氏名弁理士栗野重孝ほか1名

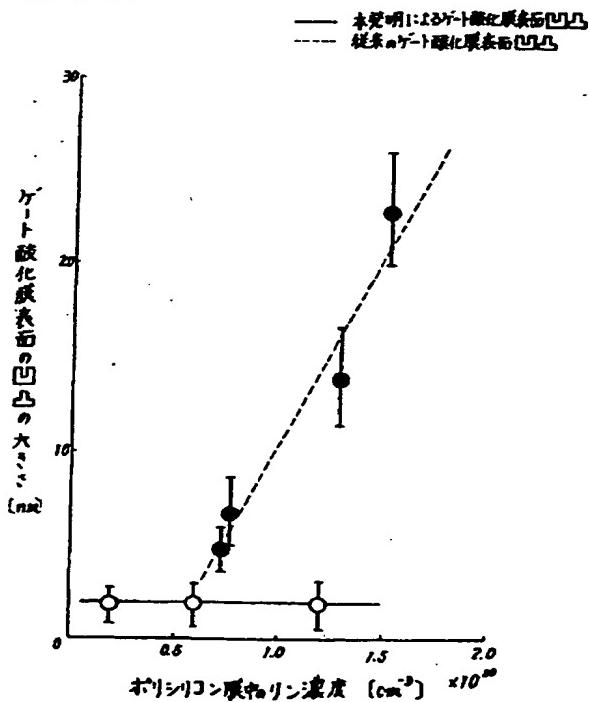
第1図



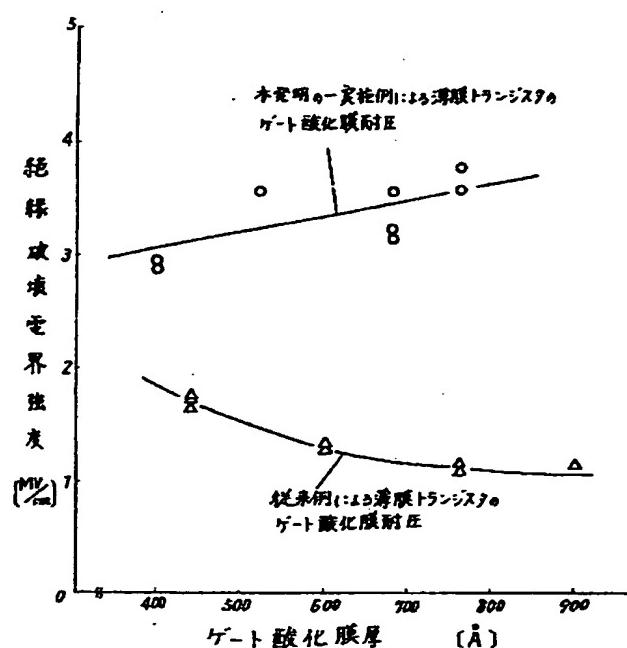
第2図



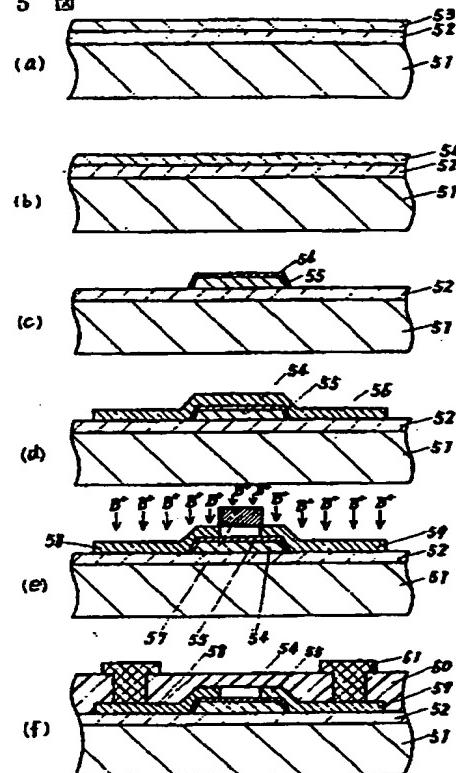
第3図



第4図



第5図



第6図

